

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03930726 **Image available**

ELECTROOPTICAL DEVICE

PUB. NO.: 04-295826 [JP 4295826 A]

PUBLISHED: October 20, 1992 (19921020)

INVENTOR(s): YAMAZAKI SHUNPEI

MASE AKIRA

HIROKI MASA AKI

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-084653 [JP 9184653]

FILED: March 25, 1991 (19910325)

INTL CLASS: [5] G02F-001/136; G02F-001/133; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1496, Vol. 17, No. 107, Pg. 11, March 04, 1993 (19930304)

ABSTRACT

PURPOSE: To enhance the reliability of the display device for which an electrooptical element, such as liquid crystal, is utilized or the device which applies this device and for which device thin-film transistors(TFTRs) are used and to prolong the life of the device by proposing the device which prevents the destruction of the TFTRs by the surge voltage infiltrated from the outside by a certain cause.

CONSTITUTION: The two TFTRs of a p channel type and n channel type are formed on a transparent substrate consisting of glass, etc., and gate electrodes 1303 and source and drain electrodes 1304, 1305 thereof are connected by wirings 1307, 1308 to be used as resistors, by which the circuit necessary as a protective circuit is constituted. This protective circuit is produced by the same stage as for the stage for producing the TFTRs of the p channel type or n channel type or both thereof formed in display element regions.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-295826

(43)公開日 平成4年(1992)10月20日

(51)Int.Cl. ¹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 C
			審査請求 未請求 請求項の数6(全 13 頁)	

(21)出願番号 特願平3-84653

(22)出願日 平成3年(1991)3月25日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 廣木 正明

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

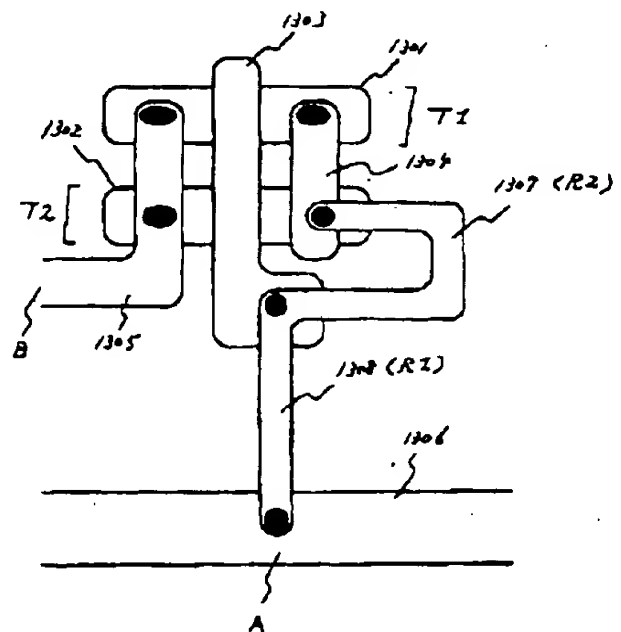
最終頁に続く

(54)【発明の名称】 電気光学装置

(57)【要約】

【目的】 本発明は、液晶等の電気光学素子を利用した表示装置あるいはそれを応用した装置で、薄膜トランジスタを使用するものに関し、薄膜トランジスタが外部から何らかの理由で侵入したサージ電圧によって破壊されるのを防ぐ装置を提案し、よって、表示装置の信頼性を高め、長寿命を達成することを目的とする。

【構成】 ガラス等の透明な基板上に設けられたPチャネル型とNチャネル型の2つの薄膜トランジスタが形成されており、そのゲート電極とソース、ドレインの電極とが抵抗として用いられる配線によって接続され、保護回路として必要な回路を構成し、そして、この保護回路は、表示素子領域に形成されるPチャネル型あるいはNチャネル型、あるいはその両方の薄膜トランジスタの作製と同じ工程で作製されたことを特徴とする表示装置の保護回路。



(2)

特開平4-295826

【特許請求の範囲】

【請求項1】基板上にマトリックス構成を有する一対の信号線が備けられた電気光学装置であって、それぞれの画素電極にPチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタとを相補型に構成した相補型薄膜トランジスタを設け、該相補型薄膜トランジスタの入出力側の一方を前記画素電極へ、他の一方を前記マトリックス構成を有する一対の信号線の第1の信号線へ接続し、かつ前記相補型薄膜トランジスタのゲートを前記マトリックス構成を有する信号線の第2の信号線へ接続した電気光学装置において、少なくとも第1の信号線の入力端子部または第2の信号線の入力端子部と第3の電極との間にツェナーダイオード特性を有する素子が設けられたことを特徴とする電気光学装置。

【請求項2】請求項1において、ツェナーダイオード特性を有する素子は1組のPチャネル型薄膜トランジスタおよびNチャネル型薄膜トランジスタからなることを特徴とする電気光学装置。

【請求項3】基板上にマトリックス構成を有する一対の信号線が設けられた電気光学装置であって、Pチャネル型薄膜トランジスタの入出力部分の一方とNチャネル型薄膜トランジスタの入出力部分の一方とがそれぞれ接続されており、かつ前記PおよびNチャネル型薄膜トランジスタのゲート電極は互いに接続されている相補型薄膜トランジスタを駆動素子として用いたことを特徴とする電気光学装置において、少なくとも第1の信号線の入力端子部または第2の信号線の入力端子部と第3の電極との間にツェナーダイオード特性を有する素子が設けられたことを特徴とする電気光学装置。

【請求項4】請求項3において、ツェナーダイオード特性を有する素子は1組のPチャネル型薄膜トランジスタおよびNチャネル型薄膜トランジスタからなることを特徴とする電気光学装置。

【請求項5】基板上にマトリックス構成を有する一対の信号線が備けられた電気光学装置であって、それぞれの画素電極として少なくとも1つのPチャネル型薄膜トランジスタもしくはNチャネル型薄膜トランジスタのどちらか一方のみを設け、該薄膜トランジスタの入出力側の一方を前記画素電極へ、他の一方を前記マトリックス構成を有する一対の信号線の第1の信号線へ接続し、かつ前記薄膜トランジスタのゲートを前記マトリックス構成を有する信号線の第2の信号線へ接続した電気光学装置において、少なくとも第1の信号線の入力端子部または第2の信号線の入力端子部と第3の電極との間にツェナーダイオード特性を有する素子が設けられたことを特徴とする電気光学装置。

【請求項6】基板上にマトリックス構成を有する一対の信号線が備けられた電気光学装置であって、それぞれの画素電極として少なくとも1つのPチャネル型薄膜トランジスタもしくはNチャネル型薄膜トランジスタの一方

あるいは両方を設け、該薄膜トランジスタの入出力側の一方を前記画素電極へ、他の一方を前記マトリックス構成を有する一対の信号線の第1の信号線へ接続し、かつ前記薄膜トランジスタのゲートを前記マトリックス構成を有する信号線の第2の信号線へ接続した電気光学装置において、少なくとも第1の信号線の入力端子部または第2の信号線の入力端子部と第3の電極との間に、少なくとも1つのPチャネル型薄膜トランジスタもしくはNチャネル型薄膜トランジスタの一方あるいは両方を有することを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画素の存在する部分に薄膜トランジスタが存在し、これら薄膜トランジスタが画素の駆動装置として機能する表示装置、およびこのような形態の表示装置を利用した各種装置に関する。すなわち、本発明は、ネマチック、コレステック、スメクチック等の方式を利用した液晶ディスプレイや、液晶ディスプレイと同様な表示装置を有する投射型装置（液晶プロジェクター等）、あるいは液晶以外に電気的な信号によって、光学特性を制御できる材料を用いて静的な、あるいは動的な映像や信号を表示する装置に関する。

【0002】

【従来の技術】上記に列挙した表示装置は各画素ごとに薄膜トランジスタ等の駆動装置が存在し、画素を制御するという、いわゆるアクティブマトリックス方式を採用している。各画素に割り当てられる薄膜トランジスタの数は図1に示されるものでは1個であり、また図2ないし図4に示されるものでは、2個もしくは必要によってはそれ以上の数の薄膜トランジスタが使用される。また、方式によっては、複数の画素を1つもしくはそれ以上の数の薄膜トランジスタが使用される場合もある。いずれの場合でも、各画素は縦方向と横方向に複数の信号線を配置し、これらの交点に液晶素子のごとき電気光学素子を配置し、薄膜トランジスタによって、縦横の信号線によって送られたデータをもとに電気光学素子を制御する。

【0003】図1にはこのようなアクティブマトリックス方式の回路を説明するために、1画素の回路を示した。縦方向のデータ駆動回路101からは、複数の信号線103a～dが延びている。また、横方向のデータ駆動回路102からも、同様に、複数の信号線104a～dが延びている。図1には信号線103aと104aが交差する部分の電気光学素子を駆動する回路について書かれている。すなわち、両信号線の交差する部分の近傍に薄膜トランジスタが設けられ、信号線103aは薄膜トランジスタのゲート電極105に接続され、また、信号線104aは薄膜トランジスタのドレイン電極106に接続されている。そして、薄膜トランジスタのソース電極107は、液晶のごとき電気光学素子108に接続

3

されている。図1では、薄膜トランジスタは、Nチャネル型薄膜トランジスタを使用しているが、Pチャネル型薄膜トランジスタを使用しても構わない。

【0004】図2はCMOSインバータ型のアクティブマトリックス方式で、図1のアクティブマトリックス方式と同様に、縦方向のデータ駆動回路201からは、複数の信号線203a~dが延びている。また、横方向のデータ駆動回路202からも、同様に、複数の信号線204a~dが延びている。図1の場合とは異なり、信号線204に平行して、配線204'が走っている。そして、図1と同様に、両信号線の交差する部分の電気光学素子を駆動するために2個の薄膜トランジスタが使用される。図に示されているように薄膜トランジスタはPチャネル型トランジスタとNチャネル型トランジスタであり、信号線203aは、両トランジスタのゲート電極205pおよび205nに接続されている。また、Pチャネル薄膜トランジスタのドレイン電極206pは信号線204aに接続され、Nチャネル薄膜トランジスタのドレイン電極206nは配線204'に接続されている。さらに、PおよびNチャネル型薄膜トランジスタのソース電極207pおよびnはどちらも液晶等の電気光学素子208に接続されている。

【0005】図2はCMOSバッファ型型のアクティブマトリックス方式で、図2のアクティブマトリックス方式と同様に、縦方向のデータ駆動回路301からは、複数の信号線303a~dが延びている。また、横方向のデータ駆動回路302からも、同様に、複数の信号線304a~dおよび配線204'a~dが走っている。そして、図2と同様に、両信号線の交差する部分の電気光学素子を駆動するためにPチャネル型トランジスタとNチャネル型トランジスタが使用され、信号線303aは、両トランジスタのゲート電極305pおよび305nに接続されている。また、Nチャネル薄膜トランジスタのドレイン電極306nは信号線304aに接続され、Pチャネル薄膜トランジスタのドレイン電極306pは配線204'に接続されている。さらに、PおよびNチャネル型薄膜トランジスタのソース電極307pおよびnはどちらも液晶等の電気光学素子308に接続されている。

【0006】図4はCMOSTランスファージェイト型のアクティブマトリックス方式で、図1のアクティブマトリックス方式と同様に、縦方向のデータ駆動回路401からは、複数の信号線403a~dが延びている。また、横方向のデータ駆動回路402からも、同様に、複数の信号線404a~dが延びている。そして、図2および図3と同様に、両信号線の交差する部分の電気光学素子を駆動するためにPチャネル型トランジスタとNチャネル型トランジスタが設けられ、信号線403aは、両トランジスタのソース電極406pおよび406nに接続されている。また、両薄膜トランジスタのゲート電

(3)

特開平4-295826

4

極405pおよび405nは信号線404aに接続され、両薄膜トランジスタのドレイン電極407pおよびnはどちらも液晶等の電気光学素子408に接続されている。

【0007】これらの回路に共通の問題点は各駆動回路と薄膜トランジスタの間にサージ（静電気）電圧が発生した場合に、薄膜トランジスタを保護するための回路が設けられていないことである。特に、薄膜トランジスタのゲート電極に高い電圧が加わると、ゲート絶縁膜が破壊され、素子として機能しなくなる。

【0008】また、薄膜トランジスタのソース・ドレイン間に過大な電圧がかかることによっても、それはゲート電極とチャネル形成領域との間の電圧が大きくなり、間接的にゲート絶縁膜の破壊につながるため、薄膜トランジスタは大きなダメージを受け、場合によっては破壊に到る。このような過大な電圧の源泉としては何らかの理由によって生じた静電気が主な理由であり、電流量自体は決して大きくないことがほとんどであり、過大な電圧が発生した場合には速やかに取り除くことが望まれる。

【0009】

【発明が解決しようとする課題】本発明は薄膜トランジスタを保護するための回路を適切な位置に適切な作製方法によって設け、薄膜トランジスタを保護し、上記表示素子の信頼性、寿命を高めることを目的とする。

【0010】

【課題を解決しようとする手段】薄膜トランジスタの保護回路は、装置の表示部分の周辺に設けられることが望まれ、また、表示部分の薄膜トランジスタの作製と同時に作製されることが望まれる。さらに、正常な駆動電圧は通過させるが、過大な電圧は通過させず、適切にバイパスさせる必要がある。薄膜トランジスタにおいて過大な電圧とは通常、ゲート電圧のしきい値電圧の10倍程度であり、50V以上を指すが、この値は薄膜トランジスタの構造によって大きく変化する。一方、通常の駆動電圧は、大きくてもゲート電圧のしきい値電圧の数倍であり、大抵の場合、10~40Vであるが、この値も薄膜トランジスタの構造によって大きく変化する。

【0011】以上のような条件を満たすために、本発明では、図5に示すように、表示素子部とその周辺の駆動回路部に保護回路を設ける。保護回路としては、例えば、図8および図9に示されるダイオードの持つツェナー特性を利用して回路を用いることができる。ダイオードとしては、P型とN型の接合であるPN接合以外に、I型（真性）とP型（もしくはN型）の接合であるPI接合（NI接合）、あるいはP型、I型、N型の接合であるPIN接合、さらにこれらを複数組み合わせ得られる、PIPI・・・接合やNINI・・・接合、PINIPIN・・・接合等を用いることができる。また、半導体と金属とのショットキー接合を利用したダイオー

5

Dを使用することも可能である。

【0012】図8(A)にはダイオードを用いた保護回路の例を示す。この例では V_{th} は正であり、例えば5～50Vの電圧である。一般にダイオードは図8(B)で示されるような電流-電圧特性を示し、一定以上の逆方向電圧を加えることによって、急激に電流が流れるようになる。このときの特性をツェナー特性という。この急激に電流が流れるようになるしきい電圧 V_{th} の値は、例えば5～20Vである。また、ダイオードを複数個直列に接続することによって、 V_{th} の値をより大きくすることが可能である。

【0013】図中のA点の電位が適切な正の値であるときには、ダイオードのうち、D1とD3は通常の導体に近い抵抗として機能し、一方、D2とD4は極めて高い抵抗として機能する。したがって、B点の電位は V_{th} とほぼ同じ電位となる。同様にA点の電位が適切な負の値であるときには、B点の電位は接地電位と同じ電位となる。

【0014】しかしながら、 V_{th} を超えるような過大な正の電圧がかかった場合には、いずれのダイオードも低い抵抗として機能する。そして、D1とD2の抵抗値がほぼ同じで、R1よりもはるかに小さければ、この電流はほとんどがD2の方向に流れてゆく。過大な負の電圧がかかった場合も同様で、ほとんどの電流がD1を経由し、B点の電位は低く保たれる。このような回路を複数直列に接続することによってより効果的に過大電流を阻止することができる。

【0015】図9(A)には、ダイオードを使用した別の例を示す。図中に示されるダイオードはツェナーダイオードと呼ばれ、構造としては2つの互いに逆向きダイオードをつないだもので、例えば、PNP(NPN)接合、NIN(PIP)接合、PINIP(NIPI)接合、あるいはこれらを組み合わせた接合によって作られる。ツェナーダイオードの特性は図9(B)に示すように、 $-V_{th}$ 以上 $+V_{th}$ 以下の電圧では極めて大きな抵抗として機能するが、それを超えるような過大な電圧がかかった場合には、抵抗値が下がるというものである。

【0016】今、A点の電位が V_{th} 以下の正または負であるとすれば、このツェナーダイオードD1は極めて大きな抵抗として機能し、B点の電位はA点の電位とほとんどかわらない。しかしながら、A点の電位が V_{th} を超える過大な正または負の値であれば、D1は大きな抵抗として機能し、その抵抗がR1に比べて、十分大きければ、電流はほとんどがD1を経由して流れ、B点の電位は低いままに保たれる。このような回路を複数直列に接続することによって、より効果的に過大電圧を阻止することができる。

【0017】同じ効果を有する保護回路は薄膜トランジスタを利用して作製することが可能である。その例を

(4)

特開平4-295826

6

図6および図7に示す。図6(A)は、正の過大電圧がかかったときのみ動作して過大電圧をバイパスする回路である。抵抗R1およびR2を選択することによって、Nチャネル型薄膜トランジスタのゲート電圧および、ソース・ドレイン間の電圧を適当な値となるように設計する。例えば、 $R1/R2=10$ とすれば、図中のA点における電位が(B点における電位を基準として) $+50V$ であるときに、ゲートの電位を $+5V$ とすることができる。そして、この薄膜トランジスタのしきい値電圧が $+5V$ ならば、この薄膜トランジスタは動作し、ソース・ドレイン間に電流が流れる。A点における電位が $+50V$ 以上であれば、ゲート電極の電位は $+5V$ 以上であるので、薄膜トランジスタは動作して、過大な電圧を除去する効果を示す。ここで、薄膜トランジスタとして、Pチャネル型トランジスタとすれば、負の過大電圧がかかった場合のみ動作する。一方、A点における電位が $+50V$ 以下であれば、薄膜トランジスタは高い抵抗として機能し、電圧はあまり低下しない。したがって、正常な信号電圧はバイパスされない。

【0018】図6(A)の回路は正の過大電圧がかかった場合にのみ動作し、負の過大電圧がかかった場合には動作しなかった。しかしながら、実際には正の過大電圧がかかる場合もあれば、負の過大電圧がかかる場合もあり、どの場合にも対応できる必要がある。図6(B)は、そのための回路を示し、8つの抵抗R1、R2、R3およびR4の値を選択することによって、2つのNチャネル型トランジスタのソース・ドレイン間電圧およびゲート電極の電圧を適切に制御できる。例えば、 $R1/R2=10$ 、 $R4/R3=10$ とすれば、A点の電位が $+50V$ であれば、薄膜トランジスタT1のゲート電極の電位は $+5V$ であり、T2の電位は $+45V$ である。このとき、T1にはソース・ドレイン電流が流れることは先に示した通りであるが、T2では、ゲート絶縁膜をはさんで、チャネル形成領域の電位の方がゲート電極の電位よりも低いため、バイパス電流は流れない。

【0019】逆に、A点の電位が $-50V$ であれば、T1のゲート電極の電位は $-5V$ であり、チャネル形成領域の電位(0V)よりも低いため、バイパス電流は流れない。しかしながら、T2のゲート電極の電位は $-45V$ であり、チャネル形成領域の電位($-50V$)よりも高いため、バイパス電流が流れる。そして、A点の電位が $-50V$ と $+50V$ の間であれば、電流はどちらの薄膜トランジスタも電流は流れず、したがって、正常な信号電流はほとんど障害を受けない。

【0020】図6(C)は、以上の回路を複合させたものであり、第1の保護回路(図上部)において減衰した過大電圧を抵抗R5を経たのちに、さらに第2の保護回路(図下部)によって減衰せしめる。

【0021】図6は、Nチャネル型薄膜トランジスタもしくはPチャネル型薄膜トランジスタのどちらか一方を

7

使用して構成された保護回路に関するものであった。Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタを両方とも用いることによって図7に示すように保護回路を構成することができる。図7(A)を用いて、この方法による保護回路の基本動作を説明する。

【0022】図6で示したものと同様に、適切な抵抗 R_1 、 R_2 を選択することによって、ソース・ドレイン間の電圧とゲート電極の電位を適切な値にすることができる。例えば、 $R_1/R_2=10$ とすることによって、A点における電位が、B点を基準としたときに+50であったとすると、薄膜トランジスタのゲート電極の電圧はいずれも+5Vとである。そして、薄膜トランジスタのうち、Nチャネル薄膜トランジスタであるT1のみがバイパスとして機能する。

【0023】逆に、A点の電位が-50Vであった場合には、両薄膜トランジスタのゲート電極の電位は-5Vであるが、このときにはPチャネル型薄膜トランジスタであるT2のみがバイパスとして機能する。図7(B)は、以上の回路を組み合わせたものである。

【0024】このような方式を採用する場合には、保護回路で使用する薄膜トランジスタの耐圧が保護回路の耐圧を決定する。薄膜トランジスタにおいて、ゲート電極とソース電極との電圧の許容値が50Vであれば、以上の回路は±500Vまでの電圧に対して耐えることができ、かつ、保護回路として機能する。もちろん、抵抗の値を選択することによってこの値を変えることは容易にできる。

【0025】図6および図7ではソース・ドレイン間の抵抗については何ら記述がないが、この値を考慮することはソース・ドレイン間の電圧を決定する上で重要である。一般的な薄膜型トランジスタにおける値としては、例えば、チャネル長が $10\mu\text{m}$ 、チャネル幅が $10\mu\text{m}$ のNチャネル型薄膜トランジスタで $10^4 \sim 10^{11}\Omega$ が得られている。この値はかなり大きいように思えるが、抵抗率 $10^{-4}\Omega\cdot\text{cm}$ の高抵抗多結晶シリコン、あるいはアモルファス(セミアモルファス)シリコンを用いて、長さ $10\mu\text{m}$ 、幅 $1\mu\text{m}$ 、厚さ $0.1\mu\text{m}$ の線状体の抵抗は $10^{12}\Omega$ となり、上記の薄膜トランジスタの抵抗はほとんど無視できる。

【0026】これらの保護回路で使用する抵抗としては、このように珪素を主とする材料を用いてもよいし、金属材料や金属と珪素との合金、各種化合物半導体(例えば酸化銅、酸化インジウム、酸化銅インジウム等)を用いてもよい。

【0027】次に、本発明の表示装置駆動回路の保護回路の作製方法について述べる。本発明の保護回路の特色としては、回路の作製が、駆動回路(図1～図4で示される薄膜トランジスタを含む回路)の作製と平行しておこなえるということであり、その例を以下に示す。

【0028】図10は、駆動回路に用いられる薄膜トラ

(5)

特開平4-295826

8

ンジスタと、周辺に設けられるツェナーダイオードの作製方法の1例を示す。まず、表示素子を実装するための適切な基板上に、厚さ $10\text{nm} \sim 10\mu\text{m}$ 、このましくは $50\text{nm} \sim 1\mu\text{m}$ の半導体被膜を設け、これを選択的にエッチングして、半導体領域1001と1002を形成する。半導体領域の大きさは、後に形成される素子の大きさによって決定される。通常の薄膜トランジスタの場合であれば、1辺の長さは $100\text{nm} \sim 100\mu\text{m}$ が使用される。このときの基板の材料としては石英ガラス、ANガラス等のガラス材料が選択され、また、必要によっては、基板上に別な被膜が形成されたものが使用される。さらに、半導体被膜の形成方法としては、減圧CVD(LPCVD)法、プラズマCVD法、光CVD法等が使用される。さらに、この成膜の終了直後、もしくは他のプロセスを経たのち、半導体膜は、 $400 \sim 800^\circ\text{C}$ 、好ましくは $500 \sim 650^\circ\text{C}$ において、熱処理され、あるいは、レーザー光等の強光を照射することによって結晶性を高め、半導体としての特性の向上を計ってもよい。

【0029】次に、このようにして形成された半導体領域上にゲート絶縁膜として機能する被膜1003と1004が、厚さ $10\text{nm} \sim 1\mu\text{m}$ 、このましくは $10\text{nm} \sim 200\text{nm}$ 形成される。この被膜としては酸化珪素、窒化珪素等が使用され、その作製方法は、LPCVD法、プラズマCVD法、光CVD法、熱酸化(窒化)法、光照射酸化(窒化)法、プラズマ酸化(窒化)法等の方法が目的とする被膜の厚さ、特性に応じて選択される。最後にゲート電極の材料となる厚さ $50\text{nm} \sim 10\mu\text{m}$ 、好ましくは $100\text{nm} \sim 2\mu\text{m}$ の被膜1005がこれらを覆って形成される。ゲート電極の材料としては、アモルファスシリコン(ゲルマニウム)、セミアモルファスシリコン(ゲルマニウム)、多結晶シリコン(ゲルマニウム)等の半導体材料、タングステンシリサイド、アルミニウムシリサイド、モリブデンシリサイド等の珪化物、タングステンやモリブデン、アルミニウムといった金属あるいは合金の単層、もしくはこれらの材料を多層に構成したものが用いられる。例えば、厚さ $10 \sim 100\text{nm}$ のリンがドーブされたアモルファスシリコン層の上に厚さ $100\text{nm} \sim 2\mu\text{m}$ のタングステン層が設けられた構造とすることも可能である。このようにして図10(A)を得る。

【0030】次に、被膜1005を選択的に絶縁膜の上に残置せしめ、領域1006および1007を形成する。この領域は後にゲート電極となる場合がある。さらに、公知の不純物導入方法、例えばイオン打ち込み法、熱拡散法、によって半導体領域1001および1002内に選択的に不純物を多く含有し、導電率の大きな領域、いわゆる不純物領域1008～1011を形成する。このとき、領域1006および1007あるいはその上に存在するフォトレジスト等が、不純物導入の際の

9

マスクとして機能するため、その下部には不純物はあまり侵入しない。これは、通常、セルフアライン工程とよばれる工程である。さらに、イオン打ち込み法によって不純物が導入された場合には、半導体領域の結晶性が著しく損なわれるので、400～800度C、好ましくは500～650度Cにおいて、熱処理され、あるいは、レーザー光等の強光を表面から、あるいは裏面から照射することによって結晶性を高め、半導体としての特性の向上を計る必要がある。このようにして図10(B)を得る。

【0031】最後に領域1006および1007を覆って絶縁膜を形成したのち、領域1007および不純物領域1008～1011に電極形成用の穴を開け、電極1012～1016を形成する。このようにして、ツェナーダイオード1017およびNチャネル型薄膜トランジスタ1018が作製される。このようにして図10(C)を得る。このような、ツェナーダイオードと薄膜トランジスタの混在した装置は、例えば図9で示される保護回路を有する装置である。

【0032】さて、図10(C)においては、領域1006には電極が設けられず、外部からの信号によって、半導体領域1002の導電性が制御されることがないので、素子1017は薄膜トランジスタとしては機能しないが、最後の工程で電極を設ければ薄膜トランジスタとなる。したがって、図10(B)で示される(未完成)素子を多量に基板上に作製しておき、後に必要に応じて、表示装置領域あるいは周辺領域のこれら素子に電極を設け、あるものは薄膜トランジスタとして、あるものはダイオードとして機能するように設計できる自由度がある。

【0033】図11は、駆動回路に用いられる薄膜トランジスタと、周辺に設けられる薄膜トランジスタの作製方法の1例を示す。まず、基板上に、厚さ10nm～10μm、好ましくは50nm～1μmの半導体被膜を設け、これを選択的にエッチングして、半導体領域1101～1104を形成する。

【0034】次に、このようにして形成された半導体領域上にゲイト絶縁膜として機能する被膜1105が形成される。最後にゲイト電極の材料となる被膜1006がこれらを覆って形成される。このようにして図11(A)を得る。

【0035】次に、被膜1106を選択的に絶縁膜の上に残置せしめ、ゲイト電極1107～1110を形成する。このようにして図11(B)を得る。

【0036】さらに、半導体領域1101および1104はフォトレジスト等によってマスクし、半導体領域1102および1103のみを露出させ、公知の不純物導入方法によって半導体領域1102と1103にセルフアライン的にP型の不純物領域1111～1114を形成する(図11(C))。さらに、同様に今度は半導

(6)

特開平4-295826

10

体領域1102と1103にマスクをし、半導体領域1101と1104を露出させ、不純物の導入をおこなう。N型の不純物領域1115～1118を形成する。こうして図11(D)を得る。

【0037】最後にゲイト電極1107～1110を覆って絶縁膜を形成したのち、各ゲイト電極および不純物領域に電極形成用の穴を開け、電極1119～1122を形成する。このようにして、Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタの混在した回路が作製される。このようにして図11(E)を得る。このような、Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタの混在した回路は、例えば図7で示される保護回路を有する装置で使用される。

【0038】図13は、以上のような作製方法によって作製される保護回路の例である。この作製方法としては、まず、半導体領域1301と1302を形成し、ゲイト絶縁膜として機能する被膜(図には示されていない)を形成したあと、両半導体領域にまたがるゲイト電極1303を形成し、半導体領域1301にP型不純物領域を、半導体領域1302にN型不純物をそれぞれ形成した後、さらに層間絶縁膜(図には示されていない)を形成する。そして、良導電体であるアルミニウム等の金属材料によって、両半導体領域にまたがる金属電極1304と1305、および信号線1306とを同時に形成する。その後、例えば酸化錫・インジウム等の低抵抗材料、あるいは高抵抗アモルファスシリコン等によって低抵抗として機能する配線1307と1308を形成して、保護回路が形成される。

【0039】図12は、駆動回路に用いられる薄膜トランジスタと、周辺に設けられるダイオードの作製方法の1例を示す。まず、基板上に半導体被膜を設け、これを選択的にエッチングして、半導体領域1201～1204を形成する。

【0040】次に、このようにして形成された半導体領域上にゲイト絶縁膜として機能する被膜1205が形成される。最後にゲイト電極の材料となる被膜1206がこれらを覆って形成される。このようにして図12(A)を得る。

【0041】次に、被膜1206を選択的に絶縁膜の上に残置せしめ、ゲイト電極1207と1208を形成する。このようにして図12(B)を得る。

【0042】さらに、半導体領域1201および1202の一部、および1204の全部はフォトレジスト等によってマスクし、半導体領域1201および1202の他の一部、および1203のみを露出させ、公知の不純物導入方法によって、半導体領域1201と1202の一部にP型の不純物領域1209および1210、さらに半導体領域1203にセルフアライン的にP型の不純物領域1211と1212を形成する(図12(C))。さらに、同様に今度は半導体領域1201と

11

1202の不純物領域を含む領域と1203の全部にマスクをし、半導体領域1201と1202の他の一部と1204全部を露出させ、不純物の導入をおこない、N型の不純物領域1213~1216を形成する。こうして図12(D)を得る。

【0043】最後にゲイト電極1207と1208を覆って絶縁膜を形成したのち、各ゲイト電極および不純物領域に電極形成用の穴を開け、電極1217~1224を形成する。このようにして、PINダイオード1225と1226、Pチャネル型薄膜トランジスタ1227、Nチャネル型薄膜トランジスタ1228の混在した回路が作製される。このようにして図12(E)を得る。このような、ダイオードとPチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタの混在した回路は、例えば図8で示される保護回路を有する装置で使用される。特に電極1218はそれを延在せしめることによって、図8において示される抵抗を含む配線として使用できる。

【0044】図14には、積層化されたPチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタとを有する装置の作製方法を示す。図10~図12に示した方法を利用して、まず、基板上にN型の不純物領域を有する半導体領域1405、1406、さらに、それらの上にゲイト絶縁膜を介して設けられたゲイト電極1403、1404を作製し、Nチャネル型薄膜トランジスタ1401と1402を得る。この薄膜トランジスタのゲイト電極になる部分を電気的に外部と接続しなかった場合にはこれらの素子はダイオードとして機能することは先に述べたとおりである。こうして、図14(A)を得る。

【0045】ついで層間絶縁膜1407を形成し、その上にP型の不純物領域を有する半導体領域1408、1409、さらに、それらの上にゲイト絶縁膜を介して設けられたゲイト電極1410、1411を作製し、Pチャネル型薄膜トランジスタ1412と1413を得る。こうして、図14(B)を得る。

【0046】最後に全体に層間絶縁膜を形成した後、必要な電極、例えば1414~1423を形成する。こうして図14(C)に示されるような、Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタの混在した回路が得られる。

【0047】

【実施例】【実施例1】本実施例では、薄膜トランジスタの作製方法を中心に説明する。作製方法は図11をもとに説明する。まず、石英ガラス等の高価でない700度C以下、例えば約600度Cの熱処理に耐えるガラス基板上に、マグネトロンRF(高周波)スパッタ法を用いてブロッキングとしての酸化珪素膜を基板上に、100~300nmの厚さに作製する。プロセス条件は実質的に酸素100%、99.9%以上の酸素雰囲気、成

(7)

特開平4-295826

12

膜温度15度C、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は3~10nm/分であった。

【0048】この上にシリコン膜をLPCVD法、スパッタ法またはプラズマCVD法によって形成した。LPCVD法で形成する場合、結晶化温度よりも100~200度C低い450~550度C、例えば530度Cでジシラン(Si_2H_6)またはトリシラン(Si_3H_8)をCVD装置に供給して成膜した。反応炉内圧力は30~300Paとした。成膜速度は5~25nm/分であった。Nチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタのスレッシュホールド電圧(V_{th})を概略同一に制御するためにホウ素をジボランを混入して $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0049】スパッタ法でおこなう場合、スパッタの背圧を $1 \times 10^{-4} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水を20~80%混入した雰囲気でおこなった。例えばアルゴン20%、水80%とした。成膜温度は150度C、周波数は13.56MHz、スパッタ出力は400~800W、成膜時圧力は0.5Paであった。

【0050】プラズマCVD法によって珪素膜を形成する場合、温度は例えば300度Cとし、モノシラン(SiH_4)またはジシラン(Si_2H_6)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0051】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと結晶化させにくく、熱アニール温度を高く、または熱アニール時間を長くしなければならない。また、少なすぎると、バックライト(表示素子の後方に配置された光源)により、薄膜トランジスタがオフ状態であるにも関わらず、ソース・ドレイン間に電流が流れるというリークが発生する。そのため、酸素の濃度は $4 \times 10^{19} \sim 4 \times 10^{20} \text{ cm}^{-3}$ の範囲とした。水の濃度は $4 \times 10^{19} \text{ cm}^{-3}$ 以下、珪素の $4 \times 10^{21} \text{ cm}^{-3}$ と比較すると、1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、表示素子を構成する薄膜トランジスタのチャネル形成領域にのみ酸素をイオン注入法によって $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。そのとき、周辺回路を構成する薄膜トランジスタには光照射がされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を得ることによって、装置の高周波動作をさせることが可能である。

【0052】次にアモルファス状態の珪素膜を50~500nm、例えば150nmの厚さに作製した後、450~700度Cの温度にて12~70時間非酸化性雰囲気

13

にて中温度の加熱処理、例えば水素雰囲気下にて600度Cの温度で保持した。珪素膜の下基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が発生せず、全体に均一に加熱アニールされる。すなわち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0053】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部には結晶状態を呈する。特にシリコンの成膜後の状態と比較的秩序性の高い領域では特に結晶化して結晶状態になろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同士は互いにひっぱりあう。レーザーラマン分光法による測定の結果、単結晶の珪素のラマンピーク 521 cm^{-1} より低波数がわずかにシフトした、例えば、 515 cm^{-1} 程度に中心を有するピークが得られる。その見掛け上の結晶粒径は、ラマンピークの半値幅から計算すると5~50nmで、マイクロクリスタルと同じ程度であるが、実際にはこの結晶性の高い領域は多数存在して、クラスタ状の構造を形成し、各クラスタ間は互いに珪素同士で結合（アンカリング）されたセミアモルファス構造の被膜を形成させることができた。

【0054】結果として、被膜は実質的に粒界（グレインバウンダリー、以下GBという）がない状態となる。キャリアは各クラスタ間をアンカリングされた箇所を通じて互いに容易に移動しうるため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度を呈する。すなわち、ホール移動度として、 $10\sim 200\text{ cm}^2/\text{Vs}$ 、電子移動度として、 $15\sim 300\text{ cm}^2/\text{Vs}$ が得られた。

【0055】他方、上記のごとき中温度でのアニールではなく、900~1200度Cの高温でのアニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、窒素、炭素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア（障壁）を作ってそこでのキャリアの移動を阻害し、あるいはキャリアをトラップし、結果として $10\text{ cm}^2/\text{Vs}$ 以下のキャリア移動度しか得られない。すなわち、本実施例ではかくのごとき理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。して、この半導体膜を第140

【0056】この上に酸化珪素膜1105をゲイト絶縁膜として50~200nm、例えば100nmの厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同じ条件で作製した。この成膜時にフッ素もしくはその化合物（フッ化水素やフッ化珪素等）を混入することにより、被膜中に、 $10^{13}\sim 10^{15}\text{ cm}^{-3}$ 、例えば $5\times 10^{14}\text{ cm}^{-3}$ の濃度のフッ素を添加し、ナトリウム

(8)

特開平4-295826

14

イオン等の固定化をさせてもよい。

【0057】この後、この上側にリンが $1\sim 5\times 10^{11}\text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブテン、タングステン、モリブテンシリサイド、タングステンシリサイドとの多層構造膜1106を形成した。これを第2のフォトリソグレイでパターニングし、ゲイト電極1107~1110を形成した。このときのゲイト電極の幅は、例えば $10\mu\text{m}$ とし、その厚さは、リンドープされた珪素膜0、 $2\mu\text{m}$ とモリブテン膜0、 $3\mu\text{m}$ の計 $0.5\mu\text{m}$ とした。

【0058】さらに、全体にフォトレジストを塗布し、第3のフォトリソグレイを用いて、フォトレジストのパターニングをおこない、イオン注入をした際に半導体領域1102と1103のみにイオンが注入されるように、半導体領域1101と1104を隠し、ホウ素を $1\sim 5\times 10^{13}\text{ cm}^{-3}$ のドーズ量でイオン注入法によって添加してP型の不純物領域1111~1114を形成した。同じく、新たに全体にフォトレジストを塗布し、第4のフォトリソグレイを用いて、フォトレジストのパターニングをおこない、イオン注入をした際に半導体領域1101と1104のみにイオンが注入されるように、半導体領域1102と1103を隠し、リンを $1\sim 5\times 10^{13}\text{ cm}^{-3}$ のドーズ量でイオン注入法によって添加して、N型の不純物領域1115~1118を形成した。

【0059】これらの不純物の導入は酸化珪素膜を通じておこなった。しかし、ゲイト電極をマスクとしてシリコン上の酸化珪素膜を取り除き、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0060】次に600度Cにて10~50時間で再び加熱アニールをおこなった。各薄膜トランジスタのソース、ドレイン領域の不純物を活性化して、P⁺、N⁺として作製した。また、ゲイト電極の下にはチャネル形成領域が実質的に真性（I型）のセミアモルファス半導体として形成されている。

【0061】かくすると、セルフアライン方式でありながらも、700度C以上に全ての工程で温度を加えることなく、Pチャネル型あるいはNチャネル型、あるいはその両方の薄膜トランジスタを作製することができる。そのため、基板材料として高価な石英等を用いることなく装置を作製することができる。よって、例えば、液晶の大型表示装置には極めて適したプロセスであるといえる。

【0062】本実施例で加熱アニールは、半導体領域形成時（図11(A)）およびソース、ドレイン領域へのイオン注入後（図11(D)）の2回おこなった。しかし、半導体領域形成前後でのアニールは、求める薄膜トランジスタの特性によって省略し、また、この2回のアニールをイオン注入工程の後の1回で兼ねることにより、製造工程の簡略化、製造時間の短縮を図ってもよい。

15

【0063】さて、その後、図11(E)において示すように、全体に前記したスパッタ法により酸化珪素膜を形成し、これを層間絶縁膜とした。この層間絶縁膜は、酸化珪素以外にも、リンガラス、ボロガラス、あるいはリン・ボロガラス等を用いてもよい。また、その形成方法はLPCVD法、光CVD法、常圧CVD法のごとき気相成長法が適していたが、ゾルゲル法のごとき、液体・固体の化学反応を利用する方法によって十分な特性を示す材料が得られた。特に後者の方法は、コストの低減と、大面積化に適していることが判明した。この層間絶縁膜の厚さとしては、例えば、0.2~0.6 μm を形成したが、これは、薄膜トランジスタの大きさによって決定されるため、これより厚い場合も、また薄い場合もあり得る。

【0064】その後、前記層間絶縁膜に、第5のフォトマスクを用いて、電極用の窓を形成し、さらに、これら全体にアルミニウムをスパッタ法によって形成した。アルミニウムのかわりにクロムのような耐熱性の金属を用いることも可能である。そして、第6のフォトマスクによって、アルミニウムをパターニングし、電極・リード1119~1128を形成した。こうして、図11(E)が得られた。このとき、図11には示されていないが、駆動回路と薄膜トランジスタとを結ぶ、信号線も同時に形成することが可能である。

【0065】さらに、その上に抵抗率が $10^2 \sim 10^3 \Omega\text{cm}$ 、好ましくは $10^4 \sim 10^5 \Omega\text{cm}$ のアモルファスシリコン膜を、例えば、30~200nmの厚さで形成した。そして、第7のフォトマスクを用いてパターニングをおこない、抵抗として機能する配線1307、1308を形成した。図13において、斜線部は配線間のコンタクトの有ることを示す。図15には、上記の工程によって作製された素子の断面が示されている。図15(A)において、1502は上記のアモルファスシリコンによって形成された抵抗配線を示す。

【0066】その後、表面を平坦化用有機樹脂1501、例えば透光性ポリイミド樹脂を塗布形成し、表示素子領域の必要な部分に第8のフォトマスクによって電極用穴を形成し、さらに、透明導電性材料の被膜、例えば、酸化錫、酸化インジウム、酸化ニッケル、酸化亜鉛、あるいはそれらの合金・化合物、例えば、酸化インジウム・錫(ITO)の被膜を、スパッタ法によって形成した。そして、これをフォトマスクを使用しない、例えば、レーザースクライブ(レーザージェッチング)法によってパターニングをおこなった。もちろん、通常のようにマスクを用いて、パターニングをおこなうことも可能であるが、特に表示装置の面積が大きな場合にはマスク合わせは高度の技術を要し、マスク合わせの回数が増えることは歩留りの低下につながるため出来れば避けることが望ましい。レーザースクライブ法ではマスク合わせは不必要であり、また、透明導電膜のパターニングは

(9)

特開平4-295826

16

レーザースクライブ法によって可能な最小パターン幅の0.3 μm に比べればその10倍以上であるため、歩留りを低下させずにパターニングできる理想的な方法である。このようにしてパターニングして、画素電極1503を形成した。

【0067】そして、このITOは室温~150度Cで成膜し、200~400度Cの酸素、または大気中でのアニールをおこなった。

【0068】その後、表示装置、例えば液晶表示装置の作製に必要な各種の工程、例えば対向電極の形成や、液晶表示装置であれば液晶の注入等、を経て、表示装置が作製されたが、本発明とは直接関係ないので詳細については述べない。

【0069】(実施例2) 実施例1と同様な手法によって、図11(E)を得た。その後、図15(B)に示されるように表面に平坦化用有機樹脂1504、例えば透光性ポリイミド樹脂を塗布形成し、周辺の保護回路を含む領域、および表示素子領域の必要な部分に第8のフォトマスクによって電極用穴を形成し、さらに、透明導電性材料の被膜、例えば、酸化錫、酸化インジウム、酸化ニッケル、酸化亜鉛、あるいはそれらの合金・化合物、例えば、酸化インジウム・錫(ITO)の被膜を、スパッタ法によって形成した。そして、これを第9のフォトマスクを使用して、パターニングをおこなった。そして、表示素子領域において、画素電極1505を、周辺領域において、抵抗として機能する配線(図13においては、1307や1308に対応する)を形成した。

【0070】そして、このITOは室温~150度Cで成膜し、200~400度Cの酸素、または大気中でのアニールをおこなった。

【0071】その後、表示装置、例えば液晶表示装置の作製に必要な各種の工程、例えば対向電極の形成や、液晶表示装置であれば液晶の注入等、を経て、表示装置が作製されたが、本発明とは直接関係ないので詳細については述べない。

【0072】

【発明の効果】本発明を用いることによって、液晶、強誘電体、その他、電気光学的な効果を有する材料を用いた表示装置で、表示素子を薄膜トランジスタを用いた方法によって駆動するものにおいて、薄膜トランジスタ等の素子をサージ電圧から保護することができ、よって、上記表示装置の信頼性の向上、耐久性の向上、および長寿命化を達成することができた。

【図面の簡単な説明】

【図1】 表示素子部の構造の例を示す。

【図2】 表示素子部の構造の例を示す。

【図3】 表示素子部の構造の例を示す。

【図4】 表示素子部の構造の例を示す。

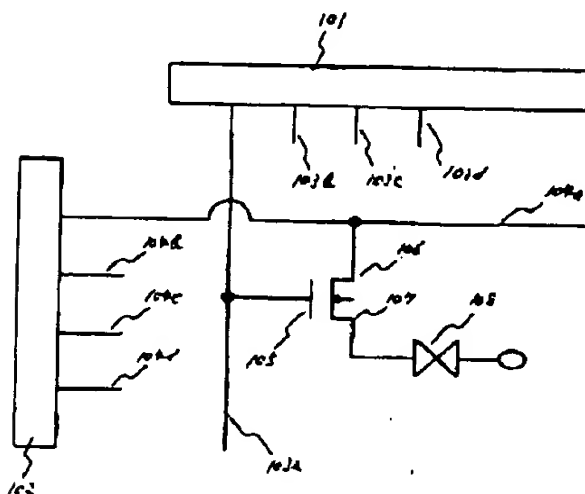
【図5】 本発明の保護回路の利用例を示す。

【図6】 本発明の保護回路の例を示す。

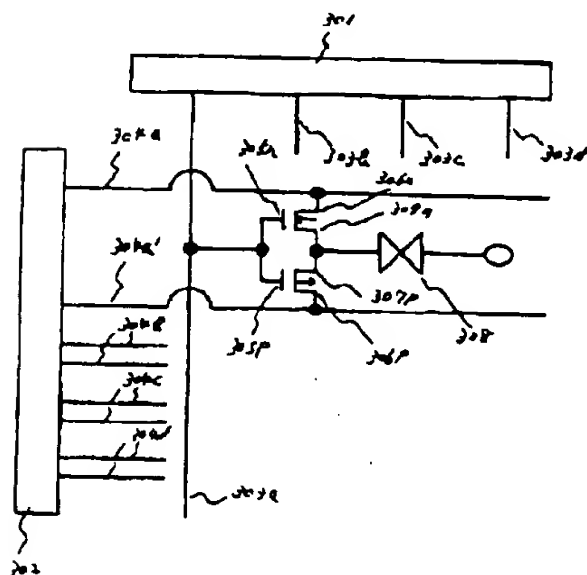
17

- 【図7】 本発明の保護回路の例を示す。
 【図8】 本発明の保護回路の例を示す。
 【図9】 本発明の保護回路の例を示す。
 【図10】 本発明の保護回路の作製方法を示す。
 【図11】 本発明の保護回路の作製方法を示す。
 【図12】 本発明の保護回路の作製方法を示す。
 【図13】 本発明の保護回路の例を示す。
 【図14】 本発明の保護回路の作製方法を示す。
 【図15】 本発明の保護回路の例を示す。
 【符号の説明】

【図1】



【図3】



(10)

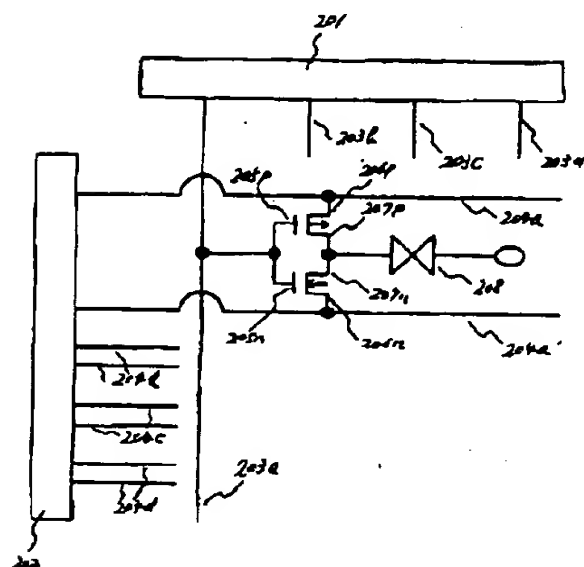
特開平4-295826

18

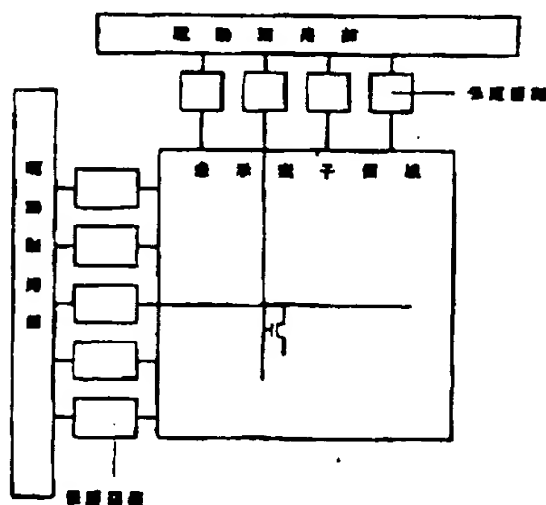
- 1301...N型の不純物領域を含む半導体領域
 1302...P型の不純物領域を含む半導体領域
 1303...ゲート電極
 1304...不純物領域間を接続する金属電極・リード
 1305...不純物領域間を接続する金属電極・リード
 1306...信号線
 1307、1308...抵抗として機能する配線

10

【図2】



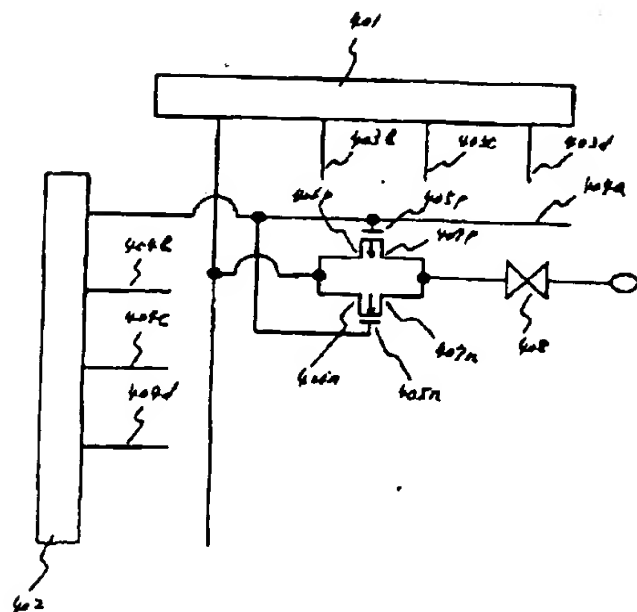
【図5】



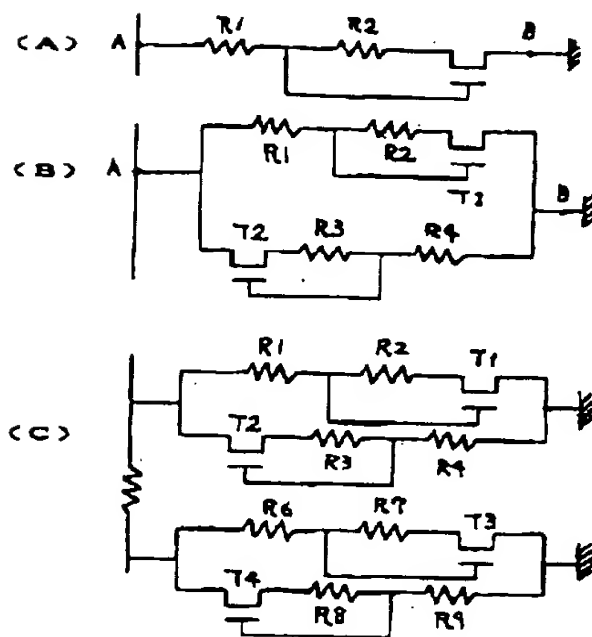
(11)

特開平4-295826

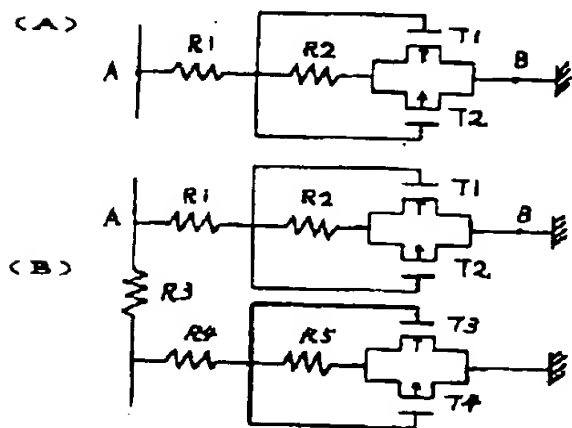
【図4】



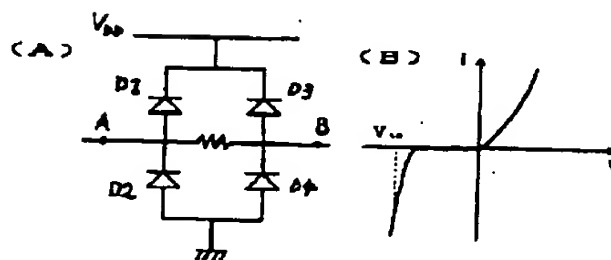
【図6】



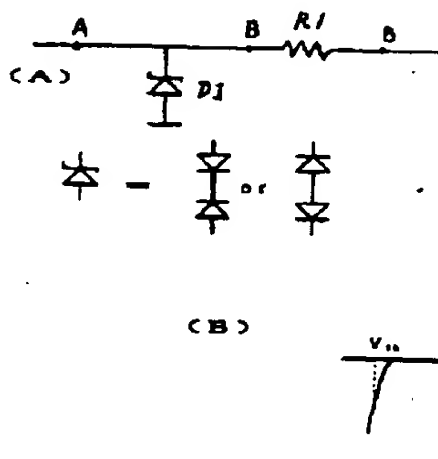
【図7】



【図8】



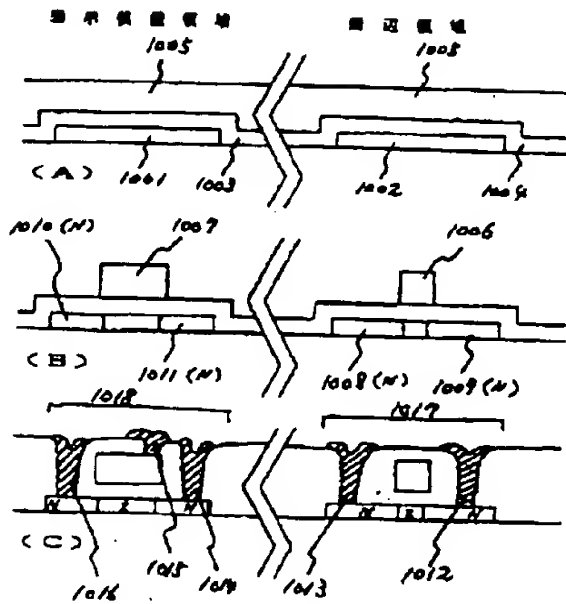
【図9】



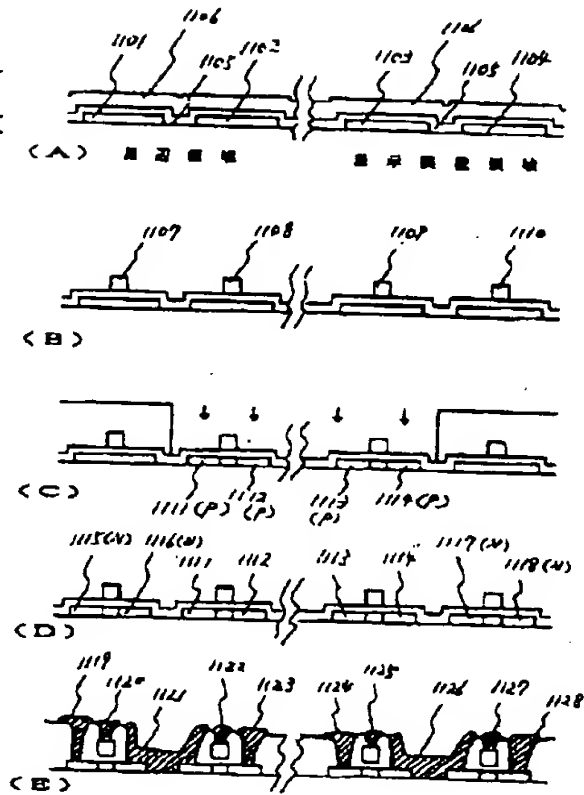
(12)

特開平4-295826

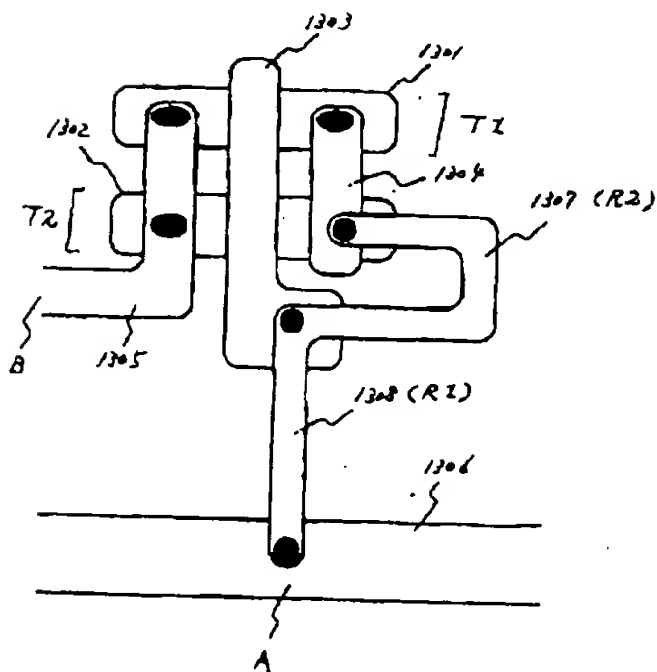
【図10】



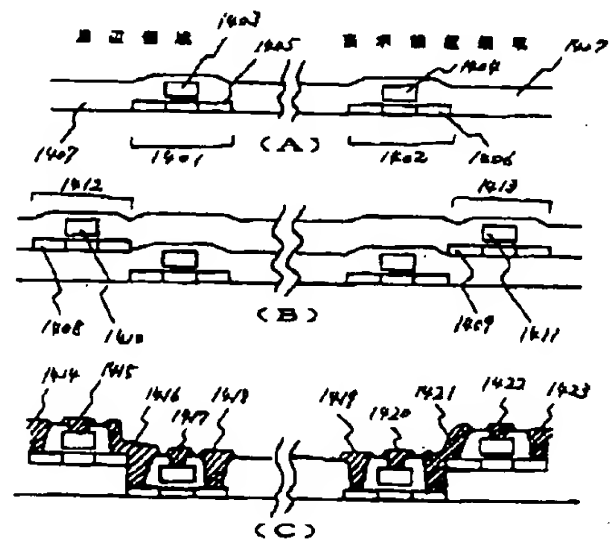
【図11】



【図13】



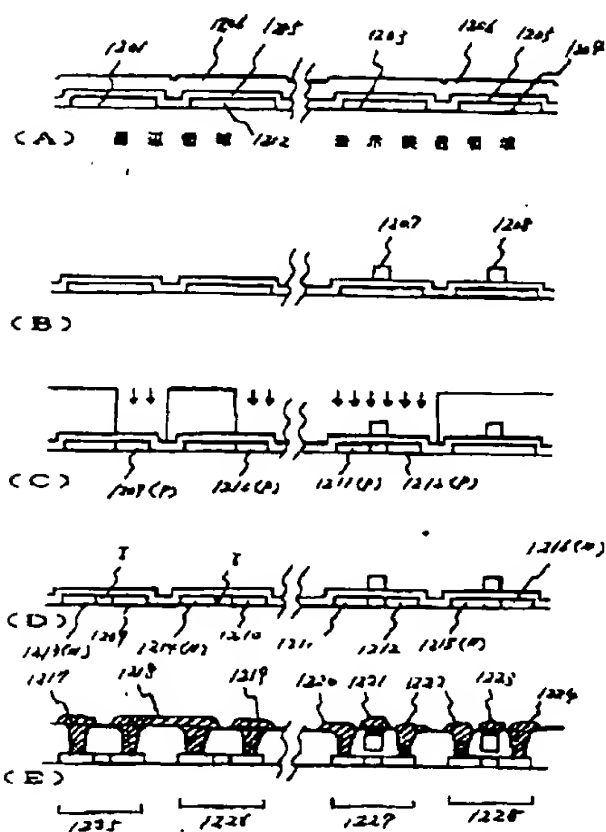
【図14】



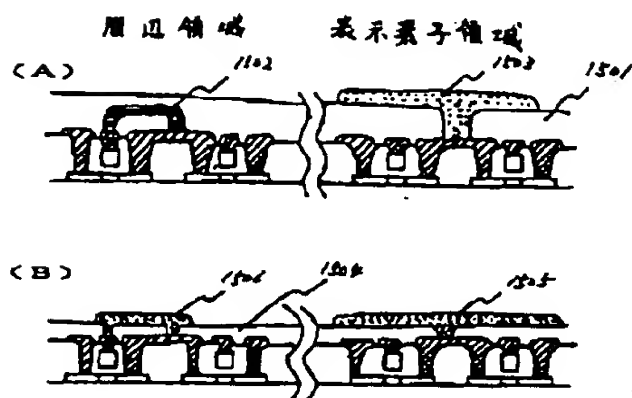
(13)

特開平4-295826

【図12】



【図15】



フロントページの続き

(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内